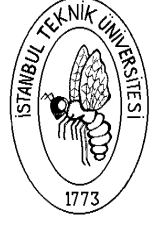




İSTANBUL TEKNİK ÜNİVERSİTESİ  
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ  
LOJİK DEVRELERİ LABORATUVARI  
DENEY RAPORU



DENEYİN ADI : TTL ve CMOS BAĞLAÇ KARAKTERİSTİKLERİ

RAPORU HAZIRLAYAN : BEYCAN KAHRAMAN

Toplam on ( 10 ) sayfadan oluşan bu raporu akademik dürüstlük kurallarının tümüne uygun davranarak hazırladım. Kısım de olsa açıkça belirtilen alıntılar dışında alıntı yapmadım.

İMZA

DENEY TARİHİ : 16.03.2005

RAPOR TESLİM TARİHİ : 23.03.2005

DENEYİ YAPTIRAN : Şule Gündüz, Turgay Altılar

ÖĞRETİM ELEMANI

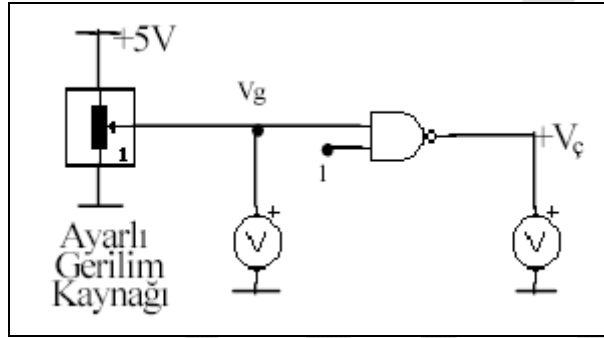
Bu kısım raporun değerlendirilmesi için kullanılacaktır.

## TTL ve CMOS BAĞLAÇ KARAKTERİSTİKLERİ

**I. Amaç :** Bu deneydeki amacımız TTL ve CMOS bağlaçların statik ve dinamik durumdaki karakteristiklerini inceleyerek aralarındaki fark ve benzerlikleri anlamaktır. Bu deneyde bu bağlaçların lojik çıkışlarından çok elektriksel iç yapıları hakkında bilgi edinilecektir.

### II. Yapılan İşlemler :

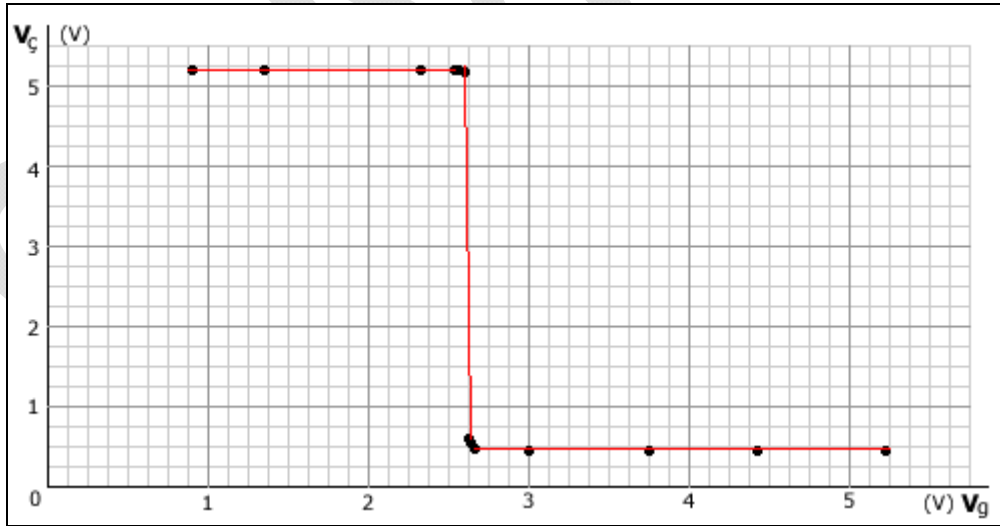
**4.1.** Bu deneyde CMOS ve TTL devrelerinin boшта çalışma karakteristiklerini elde ettik.



Boшта çalışma karakteristiği için kurduğumuz düzenek

**TTL için :**

	1	2	3	4	5	6	7	8	9	10	11	12	13
$V_g(V)$	0,9	1,34	2,30	2,52	2,62	2,72	2,75	2,77	2,80	3,0	3,75	4,35	5,22
$V_ç(V)$	5,21	5,21	5,21	5,21	5,21	5,22	5,4	0,6	0,5	0,4	0,4	0,4	0,4



TTL bağlaç için elde ettiğimiz sonuçlar

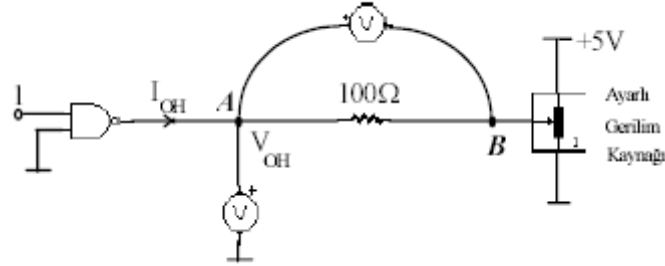
**CMOS için :**

	1	2	3	4	5	6	7	8	9	10	11
$V_g(V)$	1,1	2,01	2,2	2,42	2,44	2,46	2,68	2,75	2,83	3,0	5,25
$V_ç(V)$	4,78	4,67	4,39	3,45	2,29	1,17	0,25	0,139	0,11	0,085	0,4mV



CMOS bağlaç için elde ettiğimiz sonuçlar

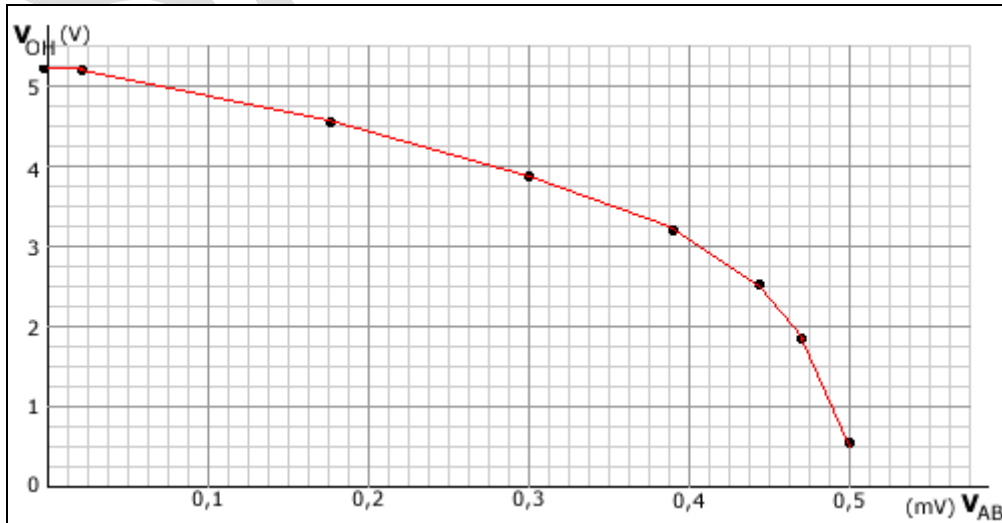
4.2. Bu deneyde çıkışı lojik "1" olan düzeneğin çıkışını toprağa çekip, akıtılabileceği maksimum akımı hesaplayacağız.



$V_{OH} - V_{IH}$  karakteristiği için kurduğumuz düzenek

TTL için :

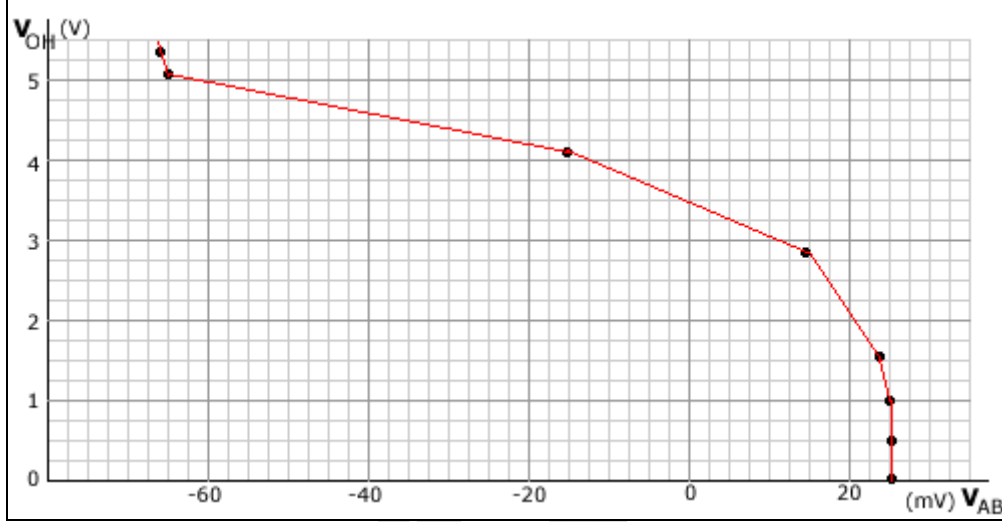
TTL için :	1	2	3	4	5	6	7	8
$V_{AB}$ (mV)	500	469	445	393	300	177	21	-1,6
$V_{OH}$ (V)	0,505	1,805	2,51	3,20	3,89	4,55	5,19	5,27
$I_{OH}$ (mA)	5	4,6	4,4	3,9	3	1,7	0,2	-0,01



TTL bağlaç için elde ettiğimiz sonuçlar

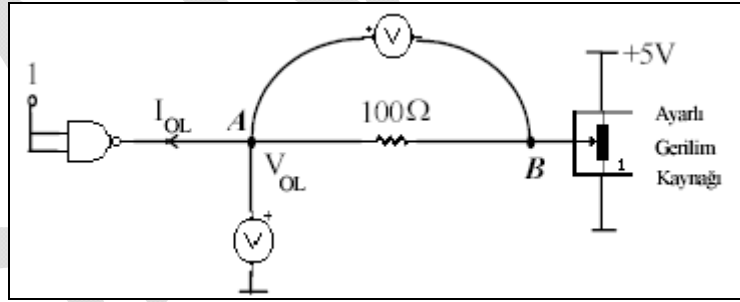
CMOS için :

	1	2	3	4	5	6	7	8
$V_{AB}$ (mV)	26,2	25,6	25,0	23,7	14,9	-16,0	-67,1	-68,7
$V_{OH}$ (V)	0,027	0,562	1,0	1,53	2,86	4,07	5,03	5,20
$I_{OH}$ (mA)	0,26	0,25	0,25	0,23	0,14	-0,16	-0,67	-0,68



CMOS bağlaç için elde ettiğimiz sonuçlar

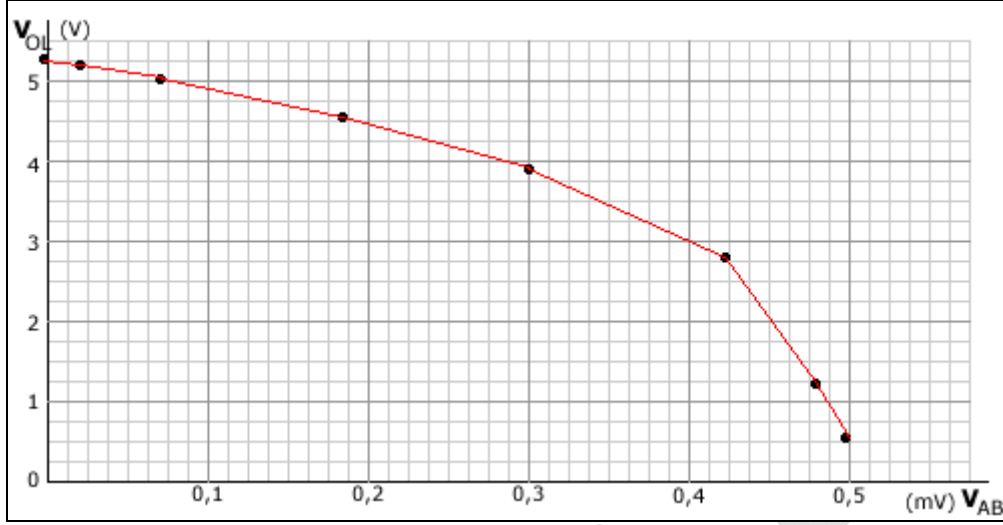
4.3. Bu deneyde çıkış lojik "0" iken bağlactan zorla geçirilebilecek maksimum akımı hesaplayacağız. Böylece  $I_{OH}$  ve  $I_{IH}$  değerlerini kullanarak bu devrenin çıkışına daha kaç tane eleman bağlayabileceğimizi hesaplayabiliriz.



$V_{OL} - V_{IL}$  karakteristiği için kurduğumuz düzenek

TTL için :

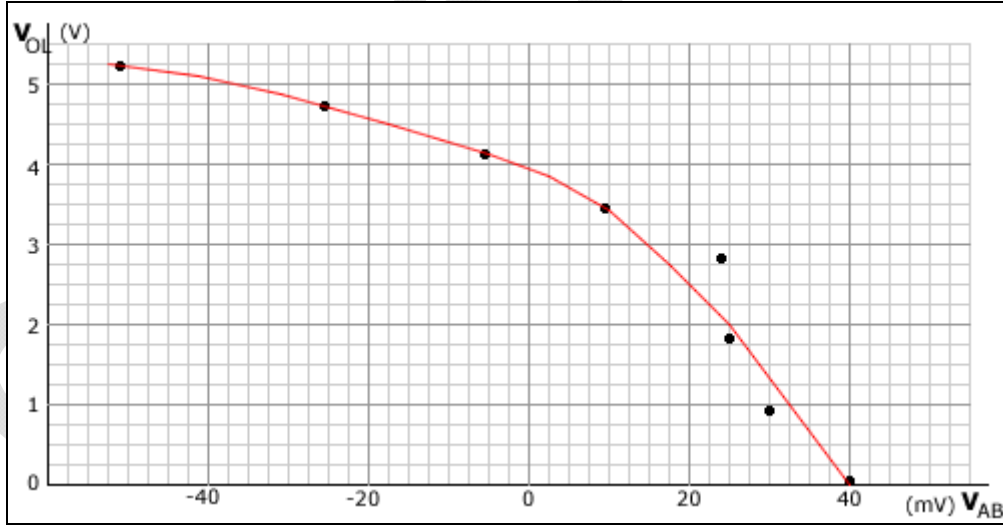
	1	2	3	4	5	6	7	8
$V_{AB}$ (mV)	496	484	424	300	181	70,6	15,5	-1,5
$V_{OL}$ (V)	0,5	1,23	2,84	3,93	4,53	5,02	5,23	5,28
$I_{OL}$ (mA)	-4,9	-4,8	-4,2	-3,0	-1,8	-0,7	-0,1	0,01



TTL baęlaç için elde ettięimiz sonuçlar

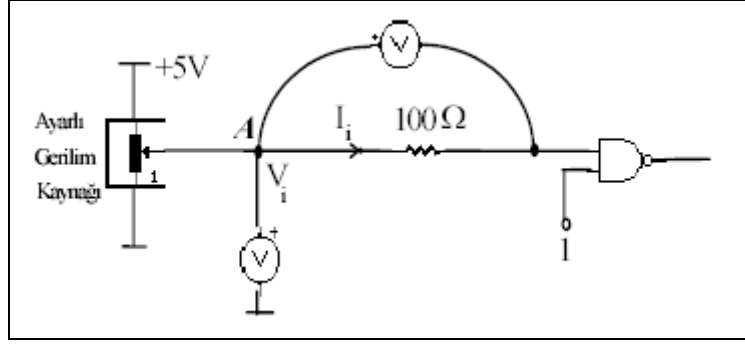
CMOS için :

	1	2	3	4	5	6	7	8
$V_{AB}$ (mV)	40	30	25	22,6	9,3	-5,7	-27,8	-52,3
$V_{OL}$ (V)	0,08	0,925	1,881	2,92	3,43	4,11	4,73	5,23
$I_{OL}$ (mA)	-0,4	-0,3	-0,2	-0,2	-0,09	0,05	0,2	0,5



CMOS baęlaç için elde ettięimiz sonuçlar

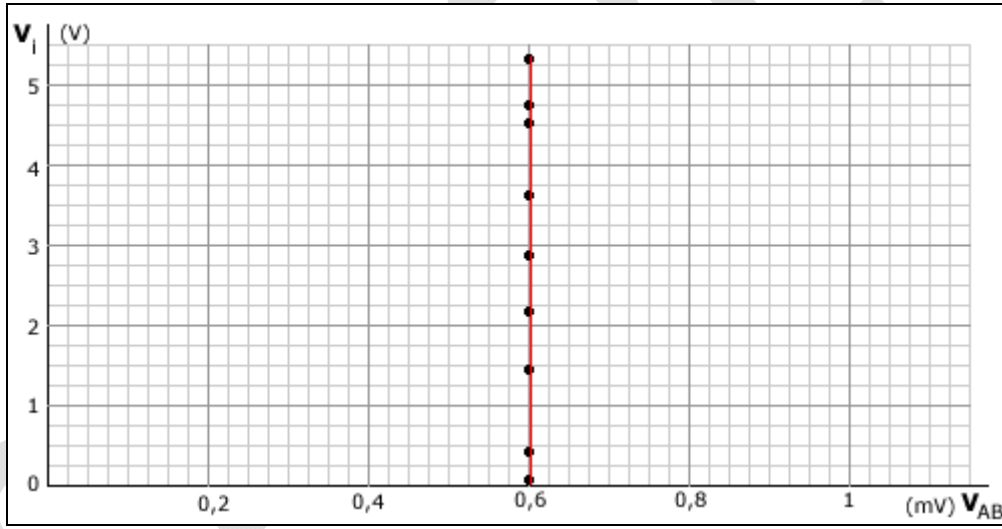
4.4. Bu deneyle bulacaęımız baęlaçların çektikleri akımları hesaplayıp, kendinden sonraki elemanlara ne kadarlık akım iletceklerini hesaplayabiliriz.



$V_i - I_i$  karakteristiği için kurduğumuz düzenek

**TTL için :**

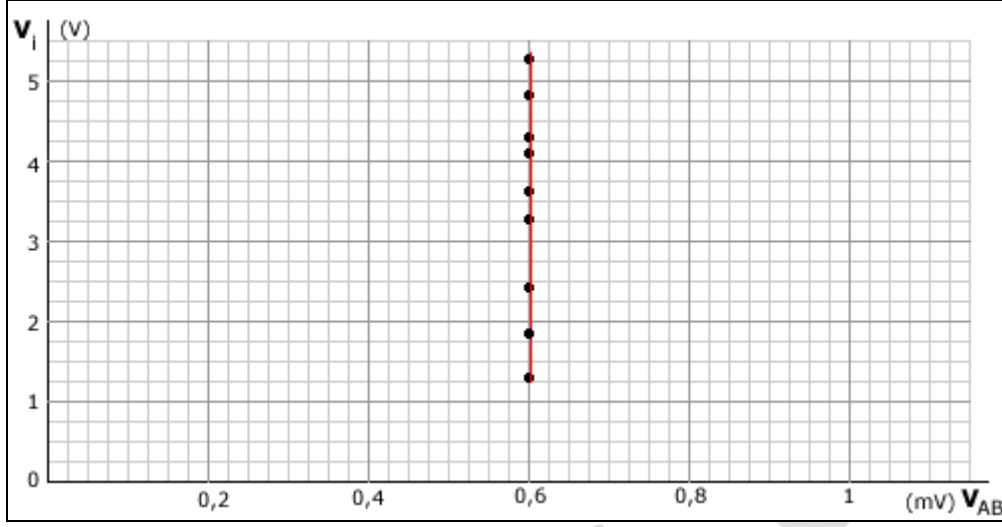
	1	2	3	4	5	6	7	8
$V_{AB}$ (mV)	0,6	0,6	0,6	0,6	0,6	0,6	0,6	0,6
$V_i$ (V)	0,13	0,458	1,482	2,16	2,86	3,62	4,54	5,30
$I_i$ (mA)	1,3	4,5	14,8	21,6	28,6	36,2	45,4	53,0



TTL bağlaç için elde ettiğimiz sonuçlar

**CMOS için :**

	1	2	3	4	5	6	7	8
$V_{AB}$ (mV)	0,6	0,6	0,6	0,6	0,6	0,6	0,6	0,6
$V_i$ (V)	0,13	0,458	1,482	2,16	2,86	3,62	4,54	5,30
$I_i$ (mA)	1,3	4,5	14,8	21,6	28,6	36,2	45,4	53,0



CMOS bağlaç için elde ettiğimiz sonuçlar

Bu deneyden sonraki deneyleri bitiremedik.

### III. Sorular :

#### 2. SORU :

CMOS ve TTL devreleriyle t,yaptığımız deneyler sonucu bulduğumuz  $I_{OL(MAX)}$  ve  $I_{OH(MAX)}$  değerleriyle bunların çıkışlarına kaç tane eleman bağlayabileceğimizi belirleyebiliriz.

#### 3. SORU :

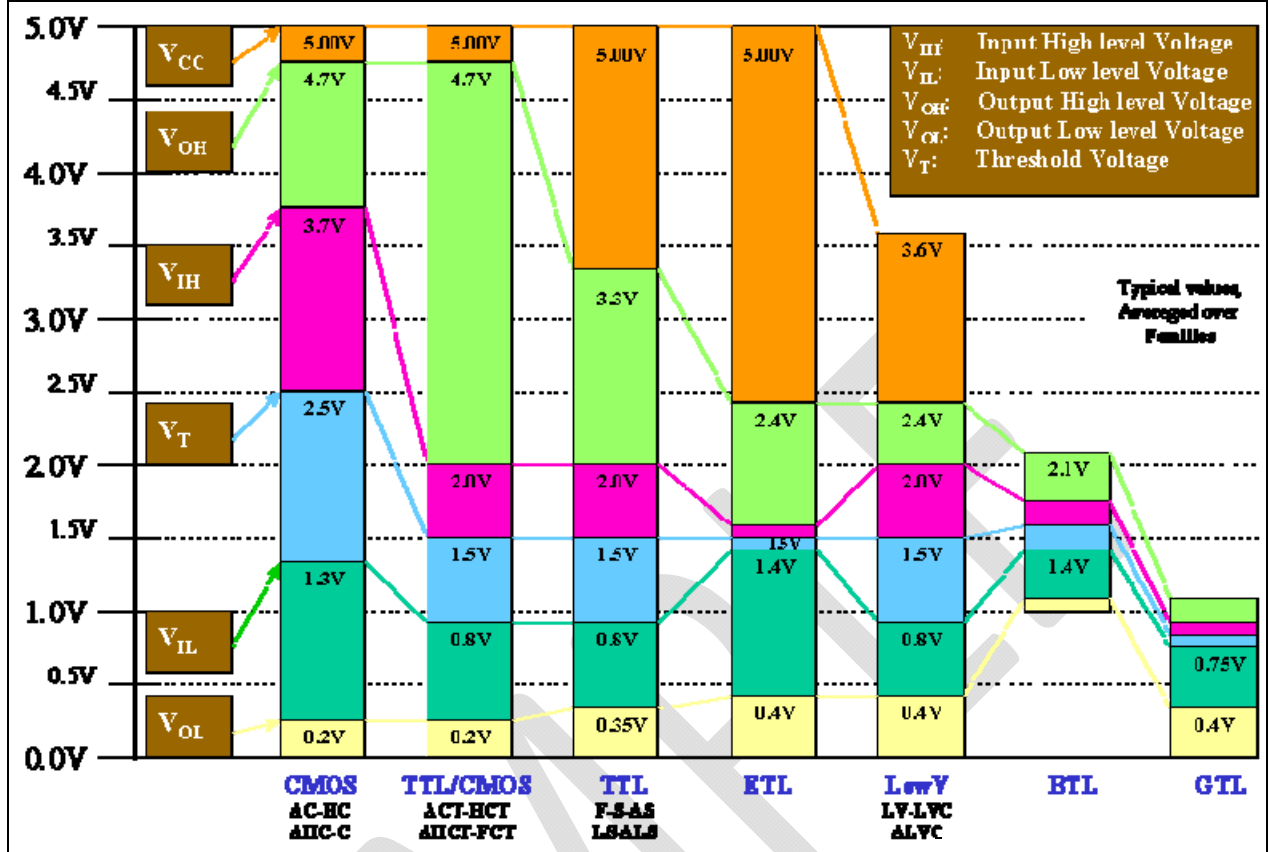
Deney sonuçlarına göre CMOS tipi transistörleri ardarda daha çok sayıda bağlayabiliriz. Bununla birlikte TTL devreleri CMOS devrelerine göre daha fazla güç harcarlar. TTL lerin çalışma aralığı CMOS'a göre daha dardır.

#### 4. SORU :

##### TTL ailesindeki karakteristikler :

-	N	L	H	S	AS	LS	ALS
Gerilim	5 v	5 v	5 v	5 v	5 v	5 v	5 v
$V_{oh(min)}$	2,4 v	2,4 v	2,4 v	2,7 v	2,7 v	2,7 v	2,7 v
$V_{ih(min)}$	2 v	2 v	2 v	2 v	2 v	2 v	2 v
$V_{ol(max)}$	0,4 v	0,3 v	0,4 v	0,5 v	0,5 v	0,5 v	0,5 v
$V_{il(max)}$	0,8 v	0,8 v	0,8 v	0,8 v	0,8 v	0,8 v	0,8 v
Gecikme Süresi	10 ns	33 ns	6 ns	3 ns	1,5 ns	9,5 ns	4 ns
Güç Tüketimi	10 mW	1 mW	22 mW	19 mW	20 mW	2 mW	1 mW
$I_{IH}$	40 $\mu$ A	10 $\mu$ A	50 $\mu$ A	50 $\mu$ A	200 $\mu$ A	20 $\mu$ A	20 $\mu$ A
$I_{IL}$	1,6 mA	180 $\mu$ A	2 mA	2 mA	2 mA	400 $\mu$ A	200 $\mu$ A
$I_{OH}$	400 $\mu$ A	200 $\mu$ A	500 $\mu$ A	1 mA	2 mA	400 $\mu$ A	400 $\mu$ A
$I_{OL}$	16 mA	3,6 mA	20 mA	20 mA	20 mA	8 mA	8 mA

## Threshold Gerilim Değerleri



Aileler	TTL			ECL		CMOS*	
Parametre	74LS - 74AS-74ALS			IOK	IOOK	74C	74HC
Gerilim, V	5.00	5.00	5.00	-5.20	-4.50	5.00	5.00
Maksimum VOL, V	0.50	0.50	0.50	-1.70	-1.70	0.40	0.40
Minimum VOH V	2.70	2.70	2.70	-0.90	-0.90	4.20	4.20
Maksimum VIL V	0.80	0.80	0.80	-1.40	-1.40	1.00	1.00
Minimum VIH V	2.00	2.00	2.00	-1.20	-1.20	3.50	3.50
NMH, V	0.70	0.70	0.70	0.30	0.30	0.70	0.70
NML, V	0.30	0.30	0.30	0.30	0.30	0.60	0.60
Lojik Salınma, V	2.00	2.00	2.00	0.80	0.80	3.80	3.80
Güç Tüketimi, mW	2.00	20.00	1.00	24.00	24.00	0.00	0.00
Gecikme, ns	1.00	1.50	4.00	2.00	0.75	30.00	10.00
Fanout	100	10	100	10	10	100	100

\* Yandaki değerlerde ölçülmüştür.  $I_{OL} = 4mA$ . At  $I_{OL} = 0.2$ ,  $V_{OL} = 0.1V$  and  $V_{OH} = 4.8V$ .

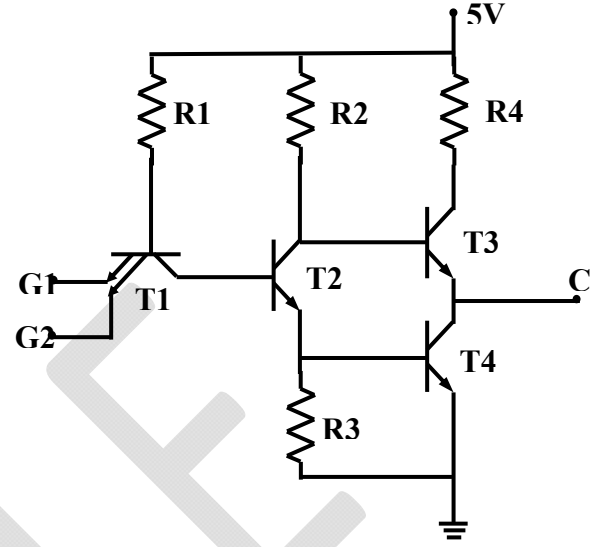
\*\*\*Yukarıdaki ve aşağıdaki grafikler internetteki sitelerden alınmıştır.\*\*\*





#### IV. Kısa Sınav Soruları:

1. TTL ve CMOS ailelerinin temel özelliklerini karşılaştırmalı olarak yazınız.
2. Yanda çizimi verilen devre TTL ailesi için temel lojik kapılarından birine aittir. Bu devreyle gerçekleştirilen kapının hangisi olduğunu, giriş ve çıkış katlarının nasıl çalıştığını anlatınız. (Anlatımınız içinde tranzistör ve dirençlerin etiketlerini kullanınız. G1 ve G2 iki girişi Ç ise çıkışı göstermektedir.)



#### Yanıtlar:

1. TTL ve CMOS ailelerini karşılaştırsak :

CMOS ailesi TTL'lere göre daha ucuz ve üretimi daha kolaydır.

Statik durumdaki güç tüketimi CMOS ailesinde daha azdır.

MOSFETler genişletilebilir ve çok fazla elemanla devreler kurulabilir.

CMOS ailesi ard arda ray sisyemi şeklinde dizilebilirler.

CMOS ailesinin gürültü marjı daha büyüktür.

CMOSlar daha çok çıkış besleyebilirler.

CMOS lar TTL ailesine göre elektrostatik etkenlere karşı daha duyarlıdır.

CMOS lar 3V – 15 V arası değerlerde kullanılabilirken, TTL devreleri 4.75 V – 5.25 V. arası değerlerde kullanılırlar.

2. Bu devre bir TVE kapısını ifade etmektedir. G1 ve G2'den herhangi biri lojik "0" olduğunda girişler T1'in C ucunu 0'a çeker. Böylece T2 transistörü kesimde kalır. Böylece T2'den akım akmaz ve T4'ün baz girişinin potansiyeli "0" da kalır, ve T4 kesimde kalır. Bunun yanında T2 nin C ucunun gerilimi azalmadığından T3 ün Baz Girişi de Emetöründen daha yüksek potansiyelde olduğundan T3 transistörü iletme geçer ve çıkış lojik "1" olur.

Her iki giriş "1" olduğunda "0" a çekilemeyen T2'nin bazı T2'nin çalışmasını sağlar. Böylece T4'ün bazının da gerilimi yüksekte kalır ve T4 iletimde olur. Bunun sonucunda çıkışı toprağa çeker.

#### V. Yorum ve Görüşler :

TTL ve CMOS bağlaçların çalışır durumdaki karakteristiklerini incelediğimiz bu deneyde, bunlar arasındaki hız ve çalışma aralıklarının farkını deneysel olarak görebildik. Ancak deney süresinin yeterli olmaması sebebiyle deneyin bir kısmını yetiştiremedik. Bunun yanında CADET'te küçük gerilimleri ölçerken büyük sorun yaşadık. Bir türlü sabit değerde kalmayan CADET'imiz sürekli ufak ufak artıyordu. Bu durumda hızla değişen aralıktan ilk çıktığı andaki değerleri deney sonucu olarak kullandık.